

## VAIZDŲ FILTRAVIMAS LAUKU PROGRAMUOJAMA LOGINE MATRICA

Arūnas Šlenderis<sup>1</sup>, Gintautas Daunys<sup>2</sup>

Šiaulių universitetas

El. paštas: <sup>1</sup>nasas60@gmail.com; <sup>2</sup>g.daunys@tf.su.lt

**Santrauka.** Nagrinėjama, kaip vaizdams filtruoti naudojamos lauku programuojamos loginės matricos (LPLM). Apžvelgti eksperimentiniai ir teoriniai darbai. Atlikti bandymai su Cyclone III šeimos LPLM lustu, kuriame buvo įdiegtas įkeliamasis NIOS II procesorius. Vaizdai filtruoti su simetriniu ir nesimetriniu ribotos impulsinės reakcijos filtrais, naudojant sąsūkos branduolį. Sistema, kuri buvo įdiegta kartu su 3×3 simetriniu filtru, naudojant aparatinės įrangos aprašymo kalbą, naudoja 59 % lusto loginių elementų ir 10 dauginimo elementų. Ši sistema su nesimetriniu filtru naudoja tiek pat loginių elementų ir 13 dauginimo elementų. Abiejų filtrų sistemų naudojama galia yra panaši – apie 545 mW. Sistemos su įkeliamuoju procesoriumi naudojamų loginių elementų dalis siekia 65 %, naudojama galia – 729 mW.

**Reikšminiai žodžiai:** lauku programuojama loginė matrica, vaizdų filtravimas, įkeliamasis procesorius, ribotos impulsinės reakcijos filtras, loginis elementas.

## Įvadas

Lauku programuojamos loginės matricos plačiai naudojamos prireikus atlikti specifinius uždavinius ir patobulinti sistemą. Vaizdų filtravimas – vienas iš tų specifinių uždavinių, nes sistemai įdiegti dažnai reikia įvairių tipų filtrų, jei norima pasiekti tam tikrų rezultatų. Naudoti specifinius procesorius gaminimo metu specifinėms užduotims vykdyti yra labai brangu. Pirmiausia jų gamybos sąnaudos yra didesnės nei LPLM procesorių. Be to, pagamintų procesorių nebegalima tobulinti.

Nagrinėjant LPLM sandarą, kuri yra: loginiai blokai, įvesties/išvesties (I/I) loginiai blokai ir programuojamieji sujungimai (Abraitis *et al.* 2003), galima teigti, kad į tokią sistemą galima lengvai įterpti dauginimo elementus, kurie dažnai taikomi lygiagrečiam vaizdų filtravimui.

Programuojamieji sujungimai daromi naudojantis aparatinės dalies aprašymo kalbomis, tokiomis kaip VHDL ir Verilog (Kuon *et al.* 2008). Šiomis kalbomis parašytas programos kodas įdiegiamas LPLM kristale, atliekant atitinkamus aparatinės dalies sujungimus. Sujungimai sudaromi tarp loginių blokų, jungiamų į vientisą sistemą.

Tyrime buvo panaudotas įkeliamasis procesorius, kuris taip pat yra įdiegtas LPLM luste. Toks procesorius gali būti konfigūruojamas pagal reikiamą uždavinį. Dar vienas tokių procesorių pranašumas tas, kad juos galima konfigūruoti ir tobulinti jau suprojektavus visą sistemą (Tong *et al.* 2006). Kadangi procesoriai aprašomi aparatinės dalies aprašymo kalbomis, nesunku suprasti, kaip tiksliai jie veikia.

Buvo pasinaudota kompanijos „Altera“ (Altera Corporation 2012) sukurtu įkeliamuoju procesoriumi NIOS<sup>®</sup> II (Nios II... 2012). Šis procesorius gali dirbti trimis režimais: ekonominiu, standartiniu ir greituoju (Nios II... 2011). Ekonominis režimas taikomas tada, kai reikia sutaupti LPLM lusto ploto, bet sistemos greitis nėra svarbus. Greitasis režimas taikomas tada, kai yra svarbus sistemos greitis, bet lusto ploto naudojama daugiausia. Standartinis režimas yra suderintas tarp naudojamo lusto ploto ir sistemos greičio.

Buvo tiriamas ribotos impulsinės reakcijos su sąsūkos branduoliu filtras, įdiegtas LPLM luste. Sąsūka yra standartinė operacija, naudojama vaizdams filtruoti (blukinti, ryškinti, suspausti, triukšmams šalinti ir pan.) (Bailey 2011). Sąsūka apskaičiuojama pagal (1) formulę:

$$p = \sum_{i=0}^{n-1} v(i) \cdot c(i), \quad (1)$$

čia  $n$  – filtro matricos koeficientų skaičius;  $v(i)$  – filtruojamo vaizdo taškas;  $c(i)$  – filtro koeficientas.

Jeigu filtro dydis yra  $m \times m$ , tai kiekvienas filtruoto vaizdo taškas priklauso nuo  $m^2$  gretimų vaizdo taškų ir dar nuo  $m^2$  sandaugų ir sumų, kurių reikia kiekvienam išrinkimui.

Ribotos impulsinės reakcijos filurai gali būti įdiegti dviejų tipų: simetriniai ir nesimetriniai. Simetriniai ribotos impulsinės reakcijos filurai plačiau naudojami todėl, kad jų naudojamų dauginimo elementų yra perpus mažiau,

lyginant su nesimetriniais tokio tipo filtrais (Implementing FIR... 2012). Taip yra todėl, kad pusė filtro koeficientų yra vienodi. Nesimetriniai filtrai naudoja vieną dauginimo elementą kiekvienam filtro branduolio koeficientui.

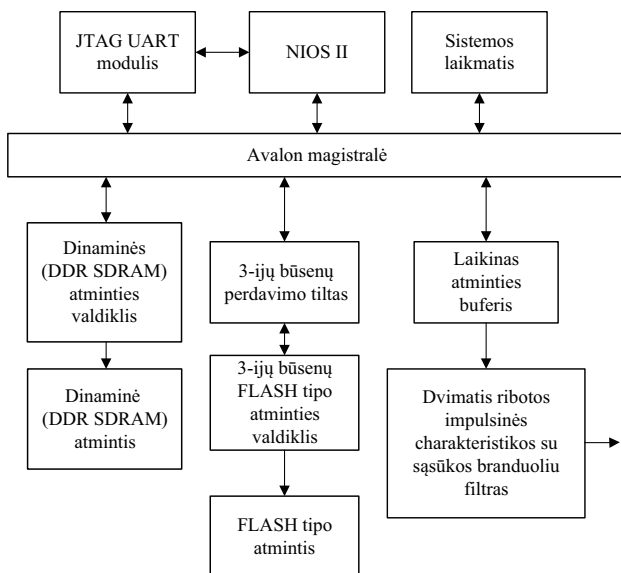
Tyrimas atliktas įdiegiant filtrus, aprašytus aparatinės dalies aprašymo kalba ir C programavimo kalba.

Darbo tikslas – išsiaiškinti sistemos išteklių (lauku programuojamų loginių matricių lusto ploto ir naudojamos galios) sąnaudas, filtruojant vaizdus su skirtingo filtro tipo ribotos impulsinės reakcijos su sąsūkos branduoliu filtrais.

### Filtravimo sistemos įdiegimas LPLM luste

Tyrimas buvo atliekamas naudojant kompanijos „Altera“ sukurta programinės įrangos paketą – Quartus II (Quartus II... 2012). Kadangi sistemos aprašymas rankomis yra ilgas ir varginantis darbas, buvo pasinaudota Quartus II paketo priemone Qsys (Qsys-Altera’s... 2012). Šiame pakete yra daug paruoštų komponentų, kurie gali būti įdiegti LPLM luste. Diegiant komponentai reikiamu būdu sujungiami ir generuojama aparatinės dalies aprašymo kalba aprašyta sistema, kurią galima koreguoti rankomis.

Tyrimo metu buvo pasinaudota Cyclone III (Cyclone III... 2012) šeimos LPLM lustu. Buvo sukurta vaizdų filtravimo sistema, kuri nuskaito vaizdą, esantį FLASH tipo atmintinėje, į kurią vaizdas įdėtas emuliuojant vaizdo kameros išėjimo signalą. Vaizdo vertės nuskaitomos ir laikomos laikiname atminties buferyje, iš kurio jos siunčiamos į vaizdo filtrą, išvedantį filtruotus vaizdus. Vaizdo filtravimo sistemos struktūrinė schema pavaizduota 1 pav.



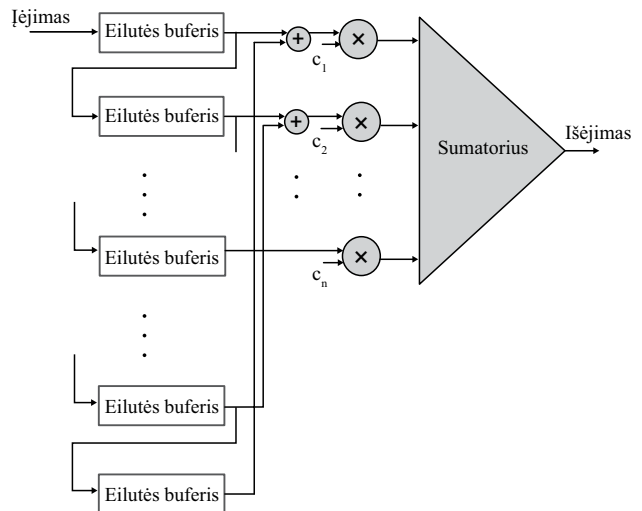
1 pav. Vaizdo filtravimo sistemos, aprašytos aparatinės įrangos aprašymo kalba, struktūrinė schema

Fig. 1. Structural diagram of image filtering system, designed with hardware description language

Šioje sistemoje nuskaitomiems iš FLASH tipo atmintinės vaizdo taškams pateikti naudojamas atmintinės buferis. Tai speciali atmintinės vieta, kurioje yra vien filtruojamo vaizdo taškai. Taip išvengiama kiekvienos operacijos metu nuolatinio kreipimosi į atmintinę.

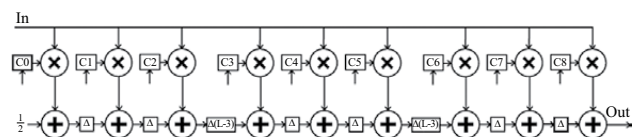
Filtruojama  $3 \times 3$  simetriniu ir nesimetriniu filtrais. Simetrinio ir nesimetrinio filtrų įdiegimas LPLM luste pavaizduoti 2 ir 3 pav. Operacija vykdoma paimant du vaizdo taškus ir juos tarpusavyje sudedant. Ši suma toliau sudauginama su bendru tų vaizdo taškų koeficientu ir siunčiama į bendrąjį sudėtuvą. Kadangi filtras yra simetrinis, operacijai vykdyti reikia perpus mažiau dauginimo elementų, nei yra verčių filtro branduolyje.

Vaizdo taškai imami iš pradinio vaizdo ir dauginami iš filtro koeficientų (C0–C8). Iš pradžių imamas vienas vaizdo taškas ir sudauginamas su pirmuoju filtro koeficientu (C0). Ši sandauga siunčiama į sudėtuvą, kuriame saugoma. Toliau aktyvuojamas vieno vaizdo taško nuskaitymo laiko pavėlinimas. Per tą laiką nuskaitomas kitas vaizdo taškas, kuris sudauginamas su filtro koeficientu C1. Atlikus tris sumavimo veiksmus vienoje vaizdo eilutėje, aktyvuojamas visos vaizdo eilutės nuskaitymo laiko pavėlinimas, suma-



2 pav. Simetrinio filtro įdiegimo LPLM luste funkcinė schema (Neoh, Hazanchuk 2005)

Fig. 2. Functional diagram of symmetrical filter implementation in FPGA (Neoh, Hazanchuk 2005)



3 pav. Nesimetrinio filtro įdiegimo LPLM luste funkcinė schema (Shoup 1996)

Fig. 3. Functional diagram of asymmetrical filter implementation in FPGA (Shoup 1996)

žintas trijų vaizdo taškų nuskaitymo vėlinimo laiku, nes šis vėlinimo laikas buvo įvertintas anksčiau. Toliau tokia pati operacija vykdoma ir su kitomis dviem vaizdo eilutėmis. Filtru išėjime gaunamas filtruoto vaizdo taškas.

Tolesnių tyrimų metu filtravimo operacija buvo aprašyta C programavimo kalba, o skaičiuota įkeliamuoju procesoriumi. Buvo aprašytas tik nesimetrinis filtras. Tyrimu siekta palyginti, kaip ištekčiai naudojami. Tam buvo pasinaudota NIOS II SBT Eclipse programa (Eclipse Foundation 2012), kuria galima vykdyti norimą užduotį sukurtoje LPLM sistemoje.

Kadangi visas operacijas vykdė NIOS II procesorius, jame buvo įdiegtas vienietinio tikslumo slankiojo kablelio įtaisas.

## Rezultatai

Atlikus filtravimą simetriniu ir nesimetriniu filtrais, aprašytais aparatinės dalies aprašymo kalba ir C programavimo kalba, gauti rezultatai pateikti 1 lentelėje.

Iš 1 lentelėje pateiktų rezultatų analizės galima teigti, kad simetrinis filtras naudoja mažiau LPLM lusto išteklių. Ypač daugiau nei perpus sumažėja naudojamų dauginimo elementų. Taip atsitinka todėl, kad pusė koeficientų yra vienodi. Du vienodi vaizdo taškų dydžiai sudedami padauginus iš bendro filtro koeficiento. Palyginti su nesimetriniu filtru, nereikia pusės dauginimo elementų.

Sistema su įkeliamuoju procesoriumi naudoja daugiau loginių elementų, lyginant su aparatinės dalies aprašymo kalba aprašyta filtravimo sistema. Taip atsitinka todėl, kad atsiranda papildomas slankiojo kablelio įtaisas procesoriuje. Tačiau C kalba grindžiama filtravimo operacijai skirta sistema naudoja mažiau dauginimo elementų.

Aparatinės dalies aprašymo kalba parašyti sistemos elementai naudoja maždaug vienodas galias, o sistemoje, įdiegtoje C kalba, loginiai elementai naudoja daugiau galios, nes naudojama daugiau loginių elementų, palyginti su aparatinės dalies aprašymo kalba įdiegta sistema.

## Išvados

1. Vaizdo filtravimo tyrimas LPLM luste, naudojant simetrinį ir nesimetrinį ribotos impulsinės reakcijos su sąsūkos branduoliu filtrus, aprašytus aparatinės dalies aprašymo kalba, parodė, kad filtravimui nesimetriniu filtru reikia du kartus daugiau dauginimo elementų.
2. Filtruojant, panaudojus aparatinės dalies aprašymo kalba įdiegtus simetrinį ir nesimetrinį filtrus, naudojamos galios kiekis yra vienodas.
3. Sukūrus C kalbos naudojimu grįstą sistemą, skirtą filtravimo operacijai atlikti, naudojamų loginių elementų skaičius išaugo iki 7 % daugiau nei naudojant filtrus, aprašytus aparatinės dalies aprašymo kalba.
4. Sistema, įdiegta C kalba, filtravimo operacijai atlikti naudoja 26 % daugiau galios nei aparatinės dalies aprašymo kalba įdiegta filtravimo sistema.

## Padėka

Arūnas Šlenderis dėkoja Lietuvos mokslo tarybai už suteiktą studentų mokslinės praktikos stipendiją.

1 lentelė. Sistemos su simetriniu ir nesimetriniu filtrais naudojami LPLM lusto ištekčiai

Table 1. Systems with symmetrical and non-symmetrical filters are used in FPGA chip resources

Sistema	Parametras	Loginių elementų skaičius	Registru skaičius	Išvadų skaičius	Atminties naudojimas, bitais	9 bitų dauginimo elementų skaičius	Naudojamoji galia, mW
Sistema su nesimetriniu filtru	Vertė	14 504	9 167	89	84 646	13	541,74
	Išteklių naudojimas, %	59	–	41	14	10	–
Sistema su simetriniu filtru	Vertė	14510	8 937	89	84 646	10	547,21
	Išteklių naudojimas, %	59	–	41	14	8	–
Sistema su įdiegtu įkeliamuoju procesoriumi	Vertė	15 947	9 094	89	86 684	11	729,76
	Išteklių naudojimas, %	65	–	41	14	8	–

## Literatūra

- Abraitis, V.; Bareiša, E.; Benisevičiūtė, R. 2003. *Programuojamųjų lustų testavimo metodai* [interaktyvus], [žiūrėta 2012 m. kovo 17 d.]. Prieiga per internetą: <http://www.ee.ktu.lt/journal/2003/5/Abraitis.pdf>
- Altera Corporation [interaktyvus]. 2012, [žiūrėta 2012 m. gegužės 11 d.]. Prieiga per internetą: <http://www.altera.com/>
- Bailey, D. G. 2011. *Design for embedded image processing on FPGAs*, Massey University, New Zealand. 482 p. <http://dx.doi.org/10.1002/9780470828519>
- Cyclone III FPGA Family: Unlimited Possibilities [interaktyvus]. 2012. Altera Corporation [žiūrėta 2012 m. gegužės 1 d.]. Prieiga per internetą: <http://www.altera.com/devices/fpga/cyclone3/cy3-index.jsp>
- Eclipse Foundation [interaktyvus]. 2012. Eclipse [žiūrėta 2012 m. gegužės 11 d.]. Prieiga per internetą: <http://www.eclipse.org/>
- Implementing FIR Filters and FFTs with 28-nm Variable-Precision DSP Architecture [interaktyvus]. 2012. Altera Corporation [žiūrėta 2012 m. gegužės 11 d.]. Prieiga per internetą: <http://www.altera.com/literature/wp/wp-01140-fir-fft-dsp.pdf>
- Kuon, I.; Tessier, R.; Rose, J. 2008. *FPGA architecture: Survey and Challenges* [interaktyvus]. Hanover MA 02339 USA, 2008: 44–47 [žiūrėta 2012 m. kovo 18 d.]. Prieiga per internetą: <http://inst.eecs.berkeley.edu/~cs294-59/fa10/resources/kuon-book.pdf>. ISSN-1551-3939.
- Neoh, H. S.; Hazanchuk, A. 2005. *Adaptive Edge Detection for Real-Time Video Processing using FPGAs*. San Jose, California, USA.
- Nios II Processor Reference Handbook [interaktyvus]. 2011. Altera Corporation [žiūrėta 2012 m. kovo 18 d.]. Prieiga per internetą: [http://www.altera.com/literature/hb/nios2/n2cpu\\_nii5v1.pdf](http://www.altera.com/literature/hb/nios2/n2cpu_nii5v1.pdf)
- Nios II Processor: The World's Most Versatile Embedded Processor [interaktyvus]. 2012. Altera Corporation [žiūrėta 2012 m. gegužės 11 d.]. Prieiga per internetą: <http://www.altera.com/devices/processor/nios2/ni2-index.html>
- Shoup, R. G. 1996. Parameterized Convolution Filtering in a Field Programmable Gate Array, in *Fifth International Conference on Microelectronics for Neural Networks and Fuzzy Systems (MicroNeuro '96)*, Lausanne, Switzerland, 1996, 330–336.
- Tong, J. G.; Anderson, I. D. L.; Khalid, M. A. S. 2006. *Soft-Core Processors for Embedded Systems* [interaktyvus]. Windsor, Ontario, Canada: University of Windsor 2006 [žiūrėta 2012 m. gegužės 11 d.]. Prieiga per internetą: [http://193.134.220.71/share/cours/ReCo/documents/soft\\_core\\_processors.pdf](http://193.134.220.71/share/cours/ReCo/documents/soft_core_processors.pdf)
- Quartus II Web Edition Software [interaktyvus]. 2012. Altera Corporation [žiūrėta 2012 m. gegužės 11 d.]. Prieiga per internetą: <http://www.altera.com/products/software/quartus-ii/web-edition/qts-we-index.html>
- Qsys-Altera's System Integration Tool [interaktyvus]. 2012. Altera Corporation [žiūrėta 2012 m. gegužės 11 d.]. Prieiga per internetą: <http://www.altera.com/products/software/quartus-ii/subscription-edition/qsys/qts-qsys.html>

## IMAGE FILTERING WITH FIELD PROGRAMMABLE GATE ARRAY

A. Šlenderis, G. Daunys

### Abstract

The research examined the use of field programmable gate arrays (FPGA) in image filtering. Experimental and theoretical researches were reviewed. Experiments with Cyclone III family FPGA chip with implemented NIOS II soft processor were considered. Image filtering was achieved with symmetrical and asymmetrical finite impulse response filters with convolution kernel. The system, which was implemented with 3×3 symmetrical filter, which was implemented using the hardware description language, uses 59% of logic elements of the chip and 10 multiplication elements. The system with asymmetrical filter uses the same amount of logic elements and 13 multiplication elements. Both filter systems consume approx. 545 mW of power. The system, which is designed for filter implementation in C language, uses 65% of all logical elements and consumes 729 mW of power.

**Keywords:** field programmable gate array, image filtering, soft processor, finite impulse response filter, logical element.